

## OFFSET CANCELLING CIRCUIT FOR DIFFERENTIAL AMPLIFIER

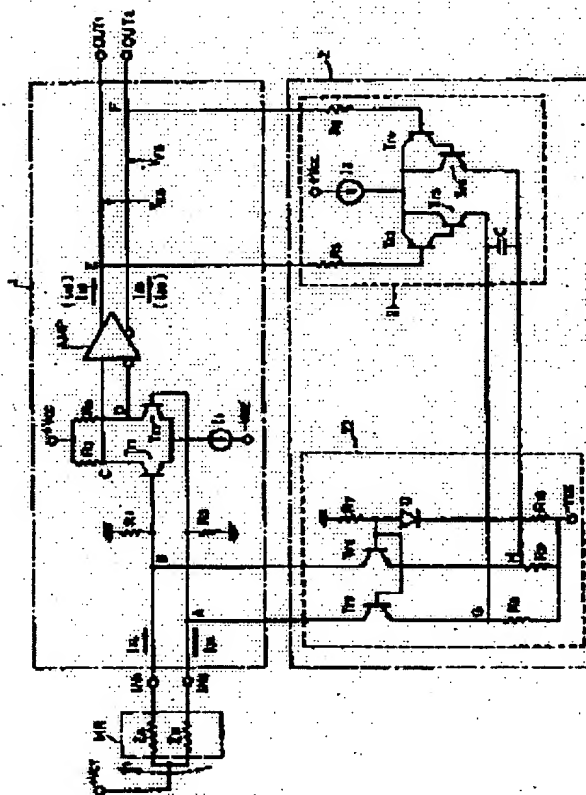
Patent number: JP58111415  
Publication date: 1983-07-02  
Inventor: NAKAMURA SUNAO  
Applicant: FUJITSU KK  
Classification:  
- international: H03F3/45  
- european:  
Application number: JP19810207980 19811224  
Priority number(s):

Report a data error here

### Abstract of JP58111415

**PURPOSE:** To prevent the operating point from being fixed and the operating range from being narrowed, by feeding-back a DC output of an amplifier negatively to an input side and zeroing a DC offset automatically.

**CONSTITUTION:** DC currents  $I_{1i}$ ,  $I_{2i}$  being equal normally are applied to input terminal IN1, IN2 of a differential amplifier 1 via impedance  $Z_A$ ,  $Z_B$  from a bias voltage  $V_{CT}$ , and when  $Z_A$ ,  $Z_B$  are equal with each other, potentials at base connecting points A, B, collector connecting points C, D, and output side connecting points E, F of transistors (TR) 1, 2 are equal and a DC offset is zero. While  $Z_A > Z_B$ , the base potential of the TR1 is lower than that of the TR2. This potential difference is amplified and applied to an offset detector 21 of a differential amplifier 2 as a DC offset voltage. As a result, the amplifier 2 feeds back the DC output negatively to the input side and the base potential of the TR1 is made higher than that of the TR2, allowing to zero the DC offset voltage automatically.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—111415

⑪ Int. Cl.<sup>3</sup>  
H 03 F 3/45

識別記号

庁内整理番号  
6832—5 J

⑬ 公開 昭和58年(1983)7月2日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ 差動増幅器のオフセットキャンセル回路

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特 願 昭56—207980

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭56(1981)12月24日

川崎市中原区上小田中1015番地

⑱ 発 明 者 中村直

⑲ 代 理 人 弁理士 青木朗 外3名

明 細 書

1. 発明の名称

差動増幅器のオフセットキャンセル回路

2. 特許請求の範囲

差動増幅器の差動出力を入力とし、該差動増幅器の入力信号周波数より十分低い周波数特性を有し該差動出力に含まれる直流成分を増幅し該差信号として出力する増幅器と該差信号に応じて該差動増幅器のそれぞれの入力端に加えるバイアス電流を変化するバイアス電流源より成ることを特徴とする差動増幅器のオフセットキャンセル回路。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は直流オフセットキャンセル回路、特に差動増幅器からの出力信号の直流オフセットを自動的にキャンセルする回路に関する。

(2) 技術的背景

磁気ディスク用のヘッドとして、磁界の変化によりインピーダンスが変化する性質を有するマグネットレジスタティブ素子が高感度の磁気電気変換

が可能であるため、広く利用され始めている。このようなマグネットレジスタティブ素子に一定のバイアス電流を流して信号の動作点を定め、取り出した信号を差動増幅器により増幅して次段の回路に接続している。

(3) 従来技術と問題点

第1図は一般的な差動増幅器を示し、入力信号は  $IN_1$ 、 $IN_2$  より入り増幅されて  $OUT_1$ 、 $OUT_2$  に出力される。 $VCC$  は正電源、 $VEE$  は負電源を示し、 $B_1$ 、 $B_2$  は入力終端抵抗を示す。差動増幅器の増幅段は、トランジスタ  $Q_1$ 、 $Q_2$ 、抵抗  $B_3$ 、 $B_4$ 、電流源  $I_1$ 、増幅器  $B$  により構成される。

この様な、従来の差動増幅器は内部的要因と外部的要因によりオフセットを生じ動作点を変動させることがあった。即ち差動対を構成する2つのトランジスタ  $Q_1$ 、 $Q_2$  の特性上の相異あるいは入力端子  $IN_1$ 、 $IN_2$  に接続された信号源の変化、例えば上記のマグネットレジスタティブ素子  $MR$  を構成する2つのインピーダンスのアンバランスが

主要因となり、第2図に示す差動増幅器の入力電圧 $V_{IM}$ と出力電圧 $V_{OUT}$ の静特性曲線において、無信号時に上述した要因により入力端子 $IN_1$ ,  $IN_2$ に直流的な差動電圧 $\Delta V_1$ が加わっていると、オフセット電圧 $\Delta V_0$ が発生し動作点が本来の0点から偏位してP点に移動することになる。この結果、静特性曲線上の線形部分A B内に信号が収まらなくなり、入力信号 $S_1$ に対して出力信号 $S_0$ は歪んだ波形となって破線で示す部分だけ忠実に再現されなくなる。すなわちダイナミックレンジが狭くなってしまふ。

このように従来技術においては、直流分オフセットにより動作点が変動して入力信号に対して出力信号が忠実に再現されず動作範囲が狭くなるという問題点があった。

#### (4) 発明の目的

本発明の目的は、差動増幅器の直流出力を入力側へ負帰還させて直流オフセットを自動的に0にすることにより、動作点を固定し動作範囲の狭小を除去することにある。

から構成されている。

第1差動増幅器1の入力端子 $IN_1$ ,  $IN_2$ にはマダネットレジスタティブ素子MR(以下MRとする)が接続されている。

上記MRはインピーダンス $Z_A$ ,  $Z_B$ を有し、図示する様にセンタータップに電圧 $V_{CT}$ が印加され、電流源22によりそれぞれ $I_{11}$ ,  $I_{21}$ のバイアス電流が供給される。抵抗 $R_1$ ,  $R_2$ は増幅器バイアスのためのもので存在しなくてもよいが、その値は $Z_A$ ,  $Z_B$ に比べて十分大きいものとする。MRと磁束 $\phi$ が図のような方向で相交すると $Z_A$ は増加し、 $Z_B$ は減少しその差に比例した交流信号電圧 $\Delta V_0$ がトランジスタ $Tr_1$ ,  $Tr_2$ のベースに加わる。トランジスタ $Tr_1$ ,  $Tr_2$ は差動対を構成し、抵抗 $R_3$ ,  $R_4$ の接続点C, Dから上記信号電圧 $\Delta V_0$ に比例した電圧を増幅して取り出し、増幅器AMPへ供給する。

第2差動増幅器2は第1差動増幅器1の出力側接続点E, Fに接続され直流分 $V_{EO}$ ,  $V_{FO}$ の位を増幅して取り出すオフセット検出回路21と、該

#### (5) 発明の構成

本発明によれば差動増幅器の差動出力を入力とし、該差動増幅器の入力信号周波数より十分低い周波数特性を有し該差動出力に含まれる直流成分を増幅し誤差信号として出力する増幅器と該誤差信号に応じて該差動増幅器のそれぞれの入力端に加えるバイアス電流を変化させるバイアス電流源より成ることを特徴とする差動増幅器のオフセットキャンセル回路が提供される。

#### (6) 発明の実施例

以下、本発明を実施例により添付図面を参照して説明する。

第3図は本発明による差動増幅器のオフセットキャンセル回路の構成図である。本発明回路は入力端子 $IN_1$ ,  $IN_2$ から入力したマダネットレジスタティブ素子MRからの各信号の位を増幅して出力端子 $OUT_1$ ,  $OUT_2$ から取り出す第1差動増幅器1と、該出力端子 $OUT_1$ ,  $OUT_2$ の出力のうち低周波分のみを増幅して上記入力端子 $IN_1$ ,  $IN_2$ に負帰還させる帰還作用を有する第2差動増幅器2と

検出回路21から入力されたオフセット分により $Tr_7$ ,  $Tr_8$ のコレクタ電流変化させ接続点A, BからMR素子インピーダンス $Z_A$ ,  $Z_B$ を流れるバイアス電流を変化させるバイアス電流源22から構成されている。

オフセット検出回路21は電圧源 $V_{cc}$ と電流源 $I_2$ 、トランジスタ $Tr_3$ ,  $Tr_5$ 及び $Tr_4$ ,  $Tr_6$ を有している。抵抗 $R_3$ ,  $R_4$ は第1の差動増幅器1の負荷として接続される第2の差動増幅器2の影響を少なくする目的で挿入されており、またコンデンサCは抵抗 $R_3$ ,  $R_4$ と共にローパスフィルタを構成し接続点E, Fから流入した信号の交流分を除去するため接続されている。

バイアス電流源22を構成するトランジスタ $Tr_7$ ,  $Tr_8$ のベースには負電源 $V_{EE}$ により抵抗 $R_7$ ,  $R_8$ 、ダイオードDを介して一定の電流が供給されており、抵抗 $R_3$ ,  $R_4$ はオフセット検出器21から供給された直流電流を電圧に変換してトランジスタ $Tr_7$ ,  $Tr_8$ のエミッタに印加するようになっている。上記 $Tr_7$ ,  $Tr_8$ は既述したように

$R_8, R_9$ に現れた電圧変化に比例してコレクタ電流を変化させる。すなわち $Z_A, Z_B$ への直流バイアス電流を変える動きがある。

上記のように構成された本発明回路の動作は次の通りである。

第1差動増幅器1の入力端子 $IN_1, IN_2$ からは通常は等しい直流電流 $I_{11}, I_{21}$ がバイアス電圧 $V_{T1}$ から $Z_A, Z_B$ に供給され、 $Z_A = Z_B$ の時トランジスタ $T_{r1}, T_{r2}$ のベース接続点A, Bコレクタ側の接続点C, D更に出力側の接続点E, Fの電位は互いに等しい。即ち直流分のオフセットは0である。

しかし、MRの $Z_A, Z_B$ にアンバランスがあり $Z_A > Z_B$ の場合、 $T_{r1}$ のベース電位は $T_{r2}$ のベース電位に比べ下がる。この電位差は増幅され出力E, Fに直流オフセット電圧として現われ、差動増幅器2のオフセット検出器21に供給される。この場合( $Z_A > Z_B$ ) $V_{E0}$ の電圧は $V_{F0}$ の電圧より大きいため $T_{r4}$ の電流は $T_{r3}$ の電流より大きくなり、バイアス電流源22の抵抗 $R_8, R_9$ に流

$T_{r8}$ のエミッタの電位は $T_{r7}$ のエミッタ電位に対して高くなるのでこの結果 $T_{r8}$ のコレクタ電流は $T_{r7}$ のそれより小さくなり、 $T_{r1}$ のベース電位を $T_{r2}$ のベース電位に比べ高くする様に動く。すなわち出力オフセット電圧を0とする様に入力 $I_{11}, I_{21}$ の電流が自動的に変化する。

またMRの $Z_A = Z_B$ である場合でも、 $I_{11}, I_{21}$ がアンバランスであったり、トランジスタ $T_{r1}, T_{r2}$ がアンバランスであったり、 $R_8, R_9$ がアンバランスである様な場合、前記と同様出力に直流オフセット電圧が発生する。この場合でも、差動増幅器2が働き、出力オフセット電圧を0とする様に $I_{11}, I_{21}$ の電流が自動的に変化する。

尚、増幅器をモノリシックICで構成する場合、オフセット検出器21のトランジスタ $T_{r3}, T_{r4}$ として周波数特性の低いラテラルPNPトランジスタを用いることによりコンデンサCは設けなくてすむ。

また第2図の実施例では増幅器AMPの出力端から負帰還させているが、AMPの利得がほとんど1の場合出力オフセットはAMPの前段のオフセットにより決定されるので接続点CDから負帰還させてもよい。

#### (7) 発明の効果

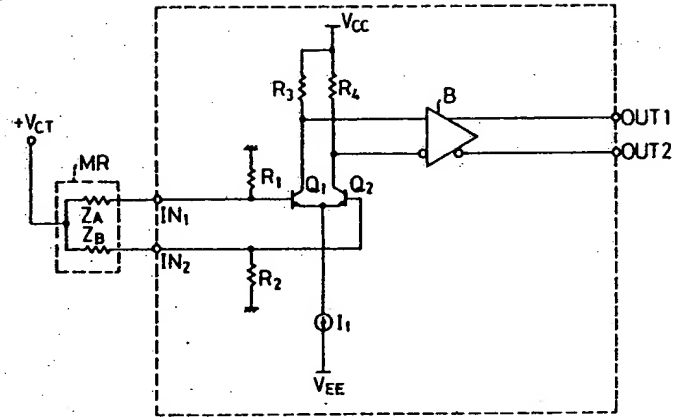
上記の通り本発明によれば、差動増幅器の直流出力を入力端へ負帰還させて入力端のバイアス電流を変化させ直流オフセットを自動的に0にすることにより、ダイナミックレンジの狭小を除去することができる。

#### 4. 図面の簡単な説明

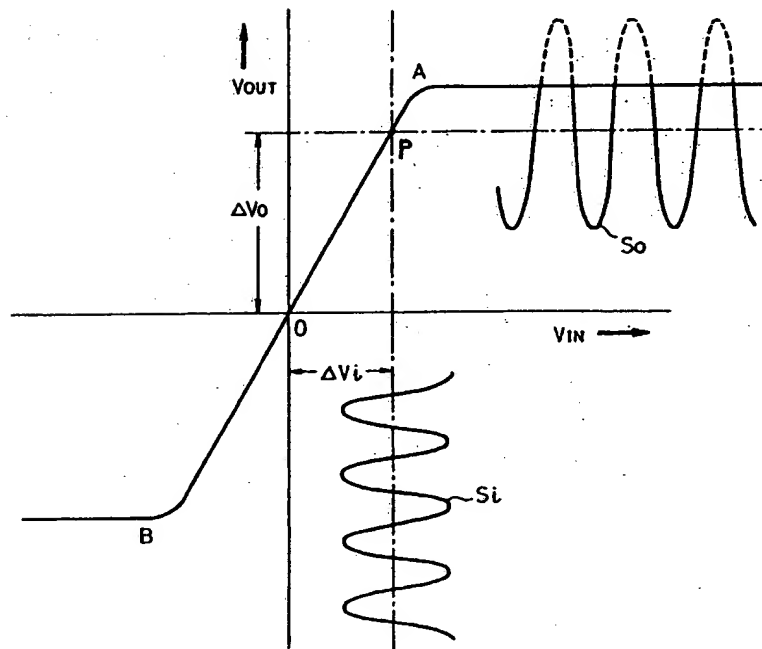
第1図は従来の差動増幅器第2図は従来技術の入出力特性図、第3図は本発明による差動増幅器のオフセットキャンセル回路を示す構成図である。

1…第1差動増幅器、2…第2差動増幅器、  
21…直流オフセット検出回路、22…バイアス電流源。

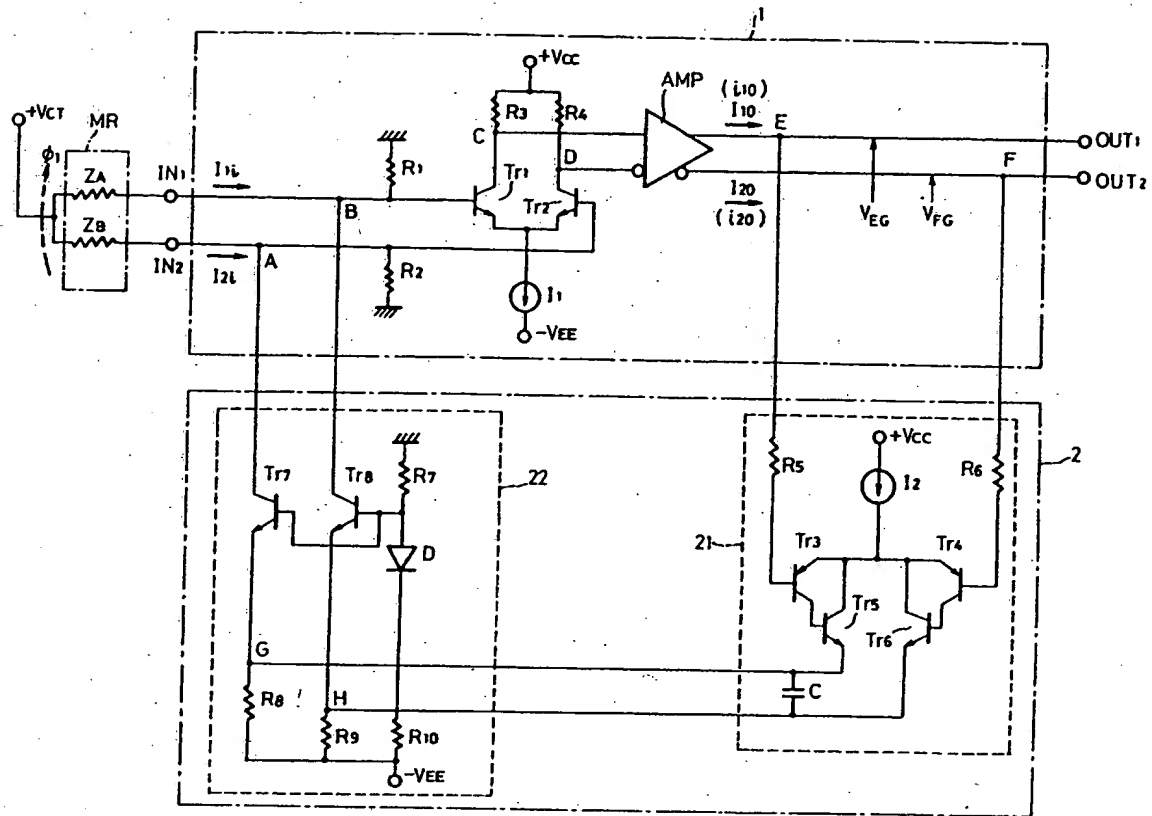
第 1 図



第 2 図



第 3 図



**Best Available Copy**